This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problems Mailbox.

CLIPPEDIMAGE= JP406283639A

PAT-NO: JP406283639A

DOCUMENT-IDENTIFIER: JP 06283639 A

TITLE: HYBRID INTEGRATED CIRCUIT

PUBN-DATE: October 7, 1994

INVENTOR-INFORMATION:
NAME
OTA, SUSUMU
OKAWA, KATSUMI
SAKAMOTO, NORIAKI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY N/A

APPL-NO: JP05066741

APPL-DATE: March 25, 1993

INT-CL (IPC): H01L023/48; H01L025/07; H01L025/18

ABSTRACT:

PURPOSE: To shorten the lengths of wires as much as possible by mounting one copper plate to which a power element is firmly fixed on a substrate and arranging other copper plates upon the one copper plate in a separating state.

CONSTITUTION: After forming an inverter circuit on a metallic substrate 1 with an insulating layer 2 in between, a first power supply line, second power supply line, and output line for supplying current to a load are respectively formed of first, second, and third copper plates 4, 5, and 6A. A source- and sink-side switching elements 7 and 8 are firmly fixed onto the first and third

03/04/2003, EAST Version: 1.03.0002

copper plates 4 and 6A, respectively. An external lead terminal is formed by bending part of the copper plate 6A. The first and third copper plates 4 and 6A are firmly fixed onto the substrate 1 and the second copper plate 5 is positioned at a distance from the surface of the substrate 1. Therefore, the occurrence of current losses at the external lead terminal fixing section can be suppressed and, at the same time, the size of this power hybrid integrated circuit can be reduced.

COPYRIGHT: (C) 1994, JPO

JP-A-6-283639

Hybrid IC

[Detailed Explanation of the Invention]

[Embodiments]

5 [0021]

10

15

20

25

The subject matter of the present invention is to directly fix both the first and third copper plates (4) and (6) on which switching elements are provided on a substrate (1) and to locate the second copper plate (5) on which switching element is not provided, in a position away from the substrate (1) surface. In other words, the second copper plate (5) is located away from and overlapped on the third copper plate (6) connected with Specifically, the second the second copper plate. copper plate (5) is supported by a case member (10), which is described later, and when the substrate (1) and case member (10) are integrated, the second copper plate (5) is located so as to overlap a part of the third copper plate (6). When the second copper plate (5) is located away from the third copper plate (6), the second copper plate and the switching element on the third copper plate (6) are connected with a wire. attention must be paid so that the second copper plate (5) and the switching element on the third copper plate (6) may not be entirely overlapped. In the drawings,

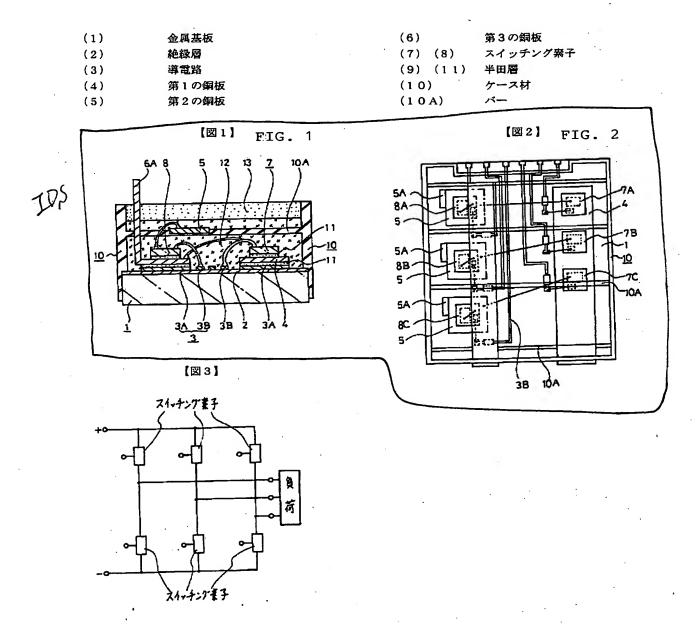
it looks that the second and third copper plates (5) and (6) are fairly away from each other, actually the distance between the second and third copper plates (5) and (6) is approximately 2 to 5 mm.

5

[Brief Description of the Drawings]

[Explanation of the Codes]

- (1) Metal substrate
- (2) Insulator layer
- 10 (3) Conductive path
 - (4) First copper plate
 - (5) Second copper plate
 - (6) Third copper plate
 - (7) & (8) Switching elements
- 15 (9) & (11) Solder layer
 - (10) Case member
 - (10A) Bar



3

特開平6-283639 (11)特許出限公開番号

(43)公開日 平成6年(1994)10月7日

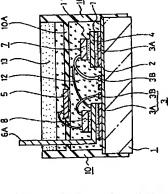
特理平5—66741 (7) 平成 5 年(1953) 3 月 55 日 (7) (7)	(51)lntCL* H 0 1 L 23/48 25/07	最別記号 FF内数阻略号 C	H.	技術技术協所
特國平5—66741 (7) 平成 5年(1993) 3月25日 (7) (7)	25/18		H 0 1 L	25/ 04 C
特題平5-66741 (71)出題人 平成 5年(1953) 3月25日 (72)発明者 (72)発明者 (72)発明者			路查請水	審査請求 未請求 郡京項の数2 OL (全5頁)
平成 5 年(1993) 3 月55日 (72) 堯明者 (72) 堯明者 (72) 堯明者 (72) 堯明者	(21)出现番号	特 與平5—66741	(71)由國人	000001889
	日酉卅(22)	平成5年(1993)3月25日		三年超過株式会社 大阪併守口市京阪本通2丁目5番5号
			(72)発明者	
				大阪府守口市京阪本道2丁目18番地 三洋
				配徵株式会社内
			(72)発明者	大川 克突
				大阪府守口市京阪本通2丁目18番地 三洋
				電腦株式会社内
大阪府守口市京阪本通			(72)発明者	
				大阪府守口市京阪本通2丁目18番地 三洋

(54)【発明の名称】 配成集積回路

[21] [要約]

[目的] 外部リード端子の固着部分における電流損失 を抑制し、且つパワー混成集徴回路のサイズを小型化に

2の顕板(5)、負荷に接続され且つ電流を供給する出 (4) 上にはソース側のスイッチング表子 (7) が、第 (8) が固着され、少なくとも第3の関板 (6) の一部 ンパーク回路が形成され、インパーク回路を構成する第 1 電阪ラインは第1の母板(4)、第2電豚ラインは第 を折曲げて外部リード端子 (6A) とし救用した混成集 金属基板 (1) 上に絶縁層 (2) を介してイ を基板(1)上に固着、第2の銅板(5)を基板(1)表 **領回路であって、第1および第3部の価板(4)(6)** カラインは第3の価板(6)で形成され、第1の個板 3の解仮 (6) 上にはシンク伽のスイッチング表子 面と離関した位置に配置する。 [特成]



[特許請求の範囲]

複数の一の銅板上にパワー半導体素子を固着し前配基板 とケース材が一体化された選成集積回路において、前記 一の解板は前配基板上に直接固着され、前配一の頻板以 外の他の解板は前配ケース材に支持され且つ前配基板表 【請求項1】 金属基板上に絶縁層を介して固着された 面と離団すると共に前配一の剱板と重型する位置に配置 されたことを特徴とする提成集積回路。

回路が形成され、前配インパーク回路を構成する第1電 負荷に接続され且つ電流を供給する出力ラインは第3の ッチング素子が固着され、少なくとも前配第3の銅板の 一部を折曲げて外部リード協子とし兼用した混成集積回 路であって、前記第1および第3の輯板を前記基板上に 固治し、前紀第2の銅板を前記基板安面と離倒した位置 【請求項2】 金属基板上に絶縁圏を介してインバータ 関板で形成され、前記第1の匈板上にはソース側のスイ ッチング素子が、前配第3の銅板上にはシンク側のスイ **氮ラインは第1の輯板、第2電次ラインは第2の輯板、** に配置したことを特徴とする選成集領回路。

[発明の詳細な説明] [000]

冷にインパータ回路等のパワー回路を実装した大電流用 [産業上の利用分野] 本発明は、混成集積回路に関し、 の混成集積回路に関する。

[0002]

(74)代到人

旺极株式会社内 弁理士 西野

【従来の技術】従来、促成集積回路としては、セラミッ セラミックス基板上に形成される回路パターンは食金属 ペーストによって形成されるためにそのシート抵抗が大 きいことおよびセラミックス基板の熱伝導性の悪いこと から大電流タイプの混成集積回路としては不向きとなっ **聞を介して形成された倒箔パターン上にパワー回路を構** 成する部品が実装されている。 すなわち、パワー回路部 品は銅等の金属片(ヒートシンク)上に実装されて基板 用の外部リード端子は基板上の所定位置に半田付けされ る構造となっている。かかる、大電流用の混成集額回路 **-25554号公報および特開昭64-5092号公報** 板、例えばアルミニウム、銅ペースの基板上に絶縁樹脂 上に実装され、外部回路と接続するための複数のパワー としては特開昭63-302530号公報、特開昭64 クス基板をベースにしたものが多く使用されてきたが、 ており、近年の大電流タイプの混成集積回路は金属基 に記載されている。

の各リード婦子が半田層を介して基板上に固着される構 [発明が解決しようとする課題] 従来構造の大電流用混 **炎集積回路では上記したように外部回路と接続するため** [0003]

①半田層自体の電気抵抗値が大きいために電流損失を起 [0004] ②電流出力径路の導電路上に半田暦を介し **宣であるため、以下の不具合がある。すなわち、** 、発熱量が増加する。

て外部リード端子が固着される場合、半田局安面が酸化 したとき経時変化に伴って半田層が劣化し、信頼性面で 答しく低下するという問題があった。

型化する場合の弊害となり、大電流用の混成集積回路自 ◎基板上に各リード増子を半田固着するための専用のラ ンド(パッド)を形成しなければなのず基板サイズを 体のサイズを小型化にすることができない。

【0005】また、基板上にインパータ回路を構成した なり、ワイヤ自体の抵抗およびインダクタンス成分が増 加する。それにより、スイッチング素子のスイッチング ノイズが協加し、スイッチング素子の観動作を誘発する 掛合には、スイッチングボチのエミッタあるいはソース **昭極と周辺の導体パターンを投続するワイヤ配線が長く** おそれがあった。

艦みてなされたものでこの発明の目的は、外部リード端 の混成集積回路のサイズを極めて小型化にし倍頼性を向 【0006】かかる不具合を解決するためには、スイッ チング珠子のスイッチングスピードを遅くすることで解 決できるが、その反面スイッチング芸子の応答性が低下 するという新たな問題がある。本発明は上述した課題に 子の固着部分における電流損失を抑制し、且つパワー用 上させた混成集積回路を提供することを目的とする。 [0000]

目的を達成するため、この発明に係わる第1の造成集領 回路は、金属基板上に絶縁層を介して固着された複数の ス材が一体化された混成集積回路の一の銅板は基板上に 直接固着され、一の銅板以外の他の銅板はケース材に支 一の匈板上にパワー半導体表子を固着し前配基板とケー 持され且つ基板変面と離間すると共に一の觸板と重畳す 【課題を解決するための手段】上述した課題を解決し、 る位置に配置されたことを特徴としている。

銅板上にはソース側のスイッチング素子が第3の銅板上 【0008】また、この発明に係わる第2の混成集積回 を供給する出力ラインは第3の鍋板で形成され、第1の にはシンク側のスイッチング素子が固着され、少なくと て兼用し、第1および第3の銅板を基板上に固着し、第 2の銅板を基板表面と離間した位置に配置したことを特 第2億版ラインは第2の匈板、食荷に接続され且つ電流 も前記第3の倒板の一部を折曲げて外部リード端子とし ンパータ回路を構成する第1電際ラインは第1の倒板、 路は、金属基板上に絶縁層を介して回路が形成され、 数としている。 [6000]

は、パワー半導体素子が固着された一の角板を基板上に 直接実装し、パワー半導体素子が固着されない他の銅板 を基板表面と離間させ且つ一の銅板と重畳する位置に配 と他の解板とを接続するワイヤ配線の長さを最短で接続 【作用】以上のように構成される混成集積回路において 置することにより、一の匈板上に固着された半導体業子 することができる。

[0010]また、パワー半等体験イが回着された解散の一部分をが曲げて外配。一下端イとして専用するによってより、外部リード端中の外の中国団権を不受とすることができる。その結果、ジード端 イの中国による鑑賞 村大を物計することができる。また、リード端子を回着するも用のシンド (パッジ) をあむ上に形成する必要がないことはび脅散が中央に位置するために来数サイスを小規にすることができる。

【0011】また、平田校観点数が減り、信頼性を向上させることができる。

[0012] [架插図]以下図1~図3に示した架箱倒に其ろいて本発売の記式集団副務を詳細に設用する。図1は本番用の 滋成集積回路の財団図、図2 17本発明の選成集積回路の

1 00 13 図1および図2にボナ如く、本名明の記成 集積回路に、金属塩板(1)と、その塩板(1)上に約 段函(2)を介して形成された導起路(3)と、その溝 電路(3)の形位位属に図書された第1の鎖枚(4)、 第2の網枚(5)および第3の網枚(6)と、第1およ び第3の倒板(5)は上び第3の網枚(6)と、第1およ び第3の倒板(7)(6)上に凹着されたメイッチング みか(7)(8)と、ケース材(10)とから簡成され [0014] 会属基板 (1) に、放熱物性および加工性を考慮して約2~5mm国のアルミニウム素板あるいは 報基板が使用される。その会属基板 (1) は所定サイズ いむ形状に形成され、混成集積回路が完成する前めるいに後に所到サイズに分割アレスされる。アルミニウム素板を用いる場合には、そのアルミニウム基板の表面を終めの形に、その知志板の表面にニッケルもるいにフロムメッキが行われ表面保部が行われている。

| 00 1 5 | 金属基色 (1) の一生面上には、エボキッちるいなポリイミド部脂等の接着性を右する熱硬化性結構が間と約35~105μm厚の強縮とのテッド材が間度150~180℃、1ドカセンチメートル当り50~100Kgの圧力でポットプンスする。前記ケラッド材を改数 (1) …にホットプンスすることにより前記表現で性質語が発展 (2) となり、その複構層 (2) 上の知道をホトエッチング等して所究形状の構造層

(3) が形成される。[0016] 会属基故(1) 上に形成される専電路

(3) は、図3に示したインパーグ回路を構成するように、例えば図1および図2に示す如く、第1および発3の強版(4)(6)を固律するための尋過版(3A)と複数本の信号田の導電路(3B)が形成される。同、本発明では外部リード端子を回憶するための専用のランド(パッド)は形成されていない。時電路(3A)上にはスタリーン中型により回路したソルダーペーストが信者されて平田局(9)が形成される。その千田圏(9)上

に第1および第3の類故(4) (6) が韓限されて半田 ジフコー1程によりソルダーペーストを溶的し時電路 (3A) と各類版(4) (6) を団着複数する。

【0017】 図3 に示したインバータ山路の第1 電策ライン (図えばV&ライン) は第1の額数 (4)、第2 配列ナン (図えばアースライン) は第2の題数 (5) おまけびもに他仕ずる出力テインは第3の解数 (6) により形成されている。第1~第3の類数 (4) (5)

(6) は約50~300Aの人電流に対応できるように する必要からその厚みは約1~5mm程度の内厚を有し [0018] 第1の匈板 (4) 上にだインパータ回路のソース回のスイッチング表 (74) (78) (7C) が半田屋 (11) によって出着されている。それらソース国のメインにより、現在(78) (78) (78) (1第) (1第1の種類・インにより、生活技術されたのに本実施のでは第1の種板(4) 冬共迅とし、スイッチング表 (4) (78) (7C) を封着した第1の種板(4) を3つに分割し、分割された第1の種板(4) な3つに分割し、分割された第1の種板(4) メスッチング表すを回着することも可能である。

[0019]金属基位(1)を輸基板とした場合には、第1の線板(4)を共通使用し、アルミニウム基板とした場合には、第1の解板(4)を小面使用するとアルミニケムと頼との熱感受験の光が大きいためにアルミニケム実施に反りが生じるおそれがあるために第1の衝数(4)をカスイッチング表 fの数だけ分割するのが針に

[0020] 一方、第3の種故(6)上にに、インパーク回路のシンク側のスイッチン/第4 (8A) (8B) (8C) が年田暦 (11) 全介して図章されている。第3の匈奴(6) はシンク側のスイッテング基子 (8A) (8B) (8C) の数に対応して側別に分割されている。第1および第3の匈奴(4) (6)上に平田暦 (11) 全介して図着されたスイッチング業十(7A) (8A) ~ (8C) はパワートランジスタ、パリーMOSFにT、あるいに1GBT等の人裁(第ケイツやボル)を100mmのと下に、あるいに1GBT等の人裁(第ケイグやギャス・ジーがの8を10mmのよいいる。

(0021) 本発明の特徴とするところに、スイッチンタ券+が固着される第1の網数(4) および第3の網数(6) 未基板(1) 上に直接固着し、スイッチングネイが固発されない第2の網数(5) 未基板(1) 安面と離間した位置に配置することにある。すなわち、第2の網数(6) 生物(5) 注後がするケース付(10) によって支持されており、年度(1) とケース付(10) によって支持されており、年度(1) とケース付(10) となー体化したさい、五度(1) とケース付(10) となー体化したさい、五度(1) とケース付(10) となー体化したさい、五度(1) とケース付(10) によって支持されており、工度(1) とケースは(10) となー体化したさい。近(1) とケースがでの網数(6) か配置されることになる。第2の網数(6) 上のスペッチング表 がジノイマ党数されるために、第3の、スペッチング表 がジノイマ党数されるために、第3の、スペッチング表 がジノイマ党数されるために、第3の、スペッチング表 がぶりイヤマ党数されるために、第3の、

ト 超数 (6) 上のスイッテング兼イと完全に重要しないよ人 うに注意する必要がある。図面上では第2の額数 (5) と第3の函数 (6) との種間距離には終めあるように見 えるが、実際には約2~5mm程度の関係で配置される

(0022)ところで、第3の解放(6)の一部分に外 他山路と接種するための外等リード緒子(6A)として 株田されている。すなわち、第3の盤板(6)の一部分 冬上面方向に路90°の角度で折曲げ加工し、貯曲げ加 口された光端部を外帯リード結子(6A)として用い、 ヒートシンクとなる解放(6)と外部リード(6A)と を米田させることができる。第3の髪板(6)の外部・ ード場子(6A)は後述するケース材の上面部よりも別 リサるように塩在され、本架局では上述したように移 リの。の角度で併曲け加工されるが、外部回路との接触 状態に応じてその角度に低減に関係することができる。 (0023)第3の網板(6)の一部分をが単げ加工し その先端部を外部リード語子(6)の一部分をが単げ加工し その先端部を外部リード語子(6)の一部分をが単げ加工し その先端部を外部リード語子(6)の一部分をが単げ加工し

(1)上に形成する必要がないため基数 (1)のサイズを小型化にすることができる。また、外部リード指子専用の国籍バッドが無くなるのに伴いリード語 fを国籍するための専用の単田層が無くなるために半田層による出力阻倒の世上ができば極性の向上に言することができば極性の向上に言すすることができば極性の向上に言すすることができる。

[0025] ケース材 (10) は超版 (1) の国語自己略一致するようにエポキシ染わるいはシリン米の技権 別によって図着一体化される。会属来数 (1) とケース材 (10) を一体化した後、図3にボレバインバーケ目 数に表ひいワイナで存成では、ソース側のスイッケンが装すび (7 B) (7 C) のペースかるいはゲート程能 (7 A) (1 B) と A 1 ワイトで接続され、マルング業 イ (7 A) (1 B) (1 C) のペースかるいはゲート程能 (1 A) (1 B) (1 C) のペースかるいはゲート程能 (1 A) (1 B) (1 C) のエ・シをわるいはゾース組織は指3の組版 (6) と A 1 リバヤで技術されている。また、シンク自のスイッチング業

チ (8A) (8B) (8C) のペースあるいなグート電極は小伯号用の再電路 (3B) とA1ワイヤで接続され、そのメイッケング茶子 (8A) (8B) (8C) のエミックあるいはソース電荷は第3の海板 (6) 上に重量配置された第2の領板 (6) と铰続される。

[0027]を匈奴(4)~(6)となスイッチング報 「(7A)~(7C)(8A)~(8C)をソイヤで相 石技術した後、ケース村(10)内に囲まれたの間の議 のにシリコングル(12)およびよよすシ奴間(13) や低水地レインバーク回路に必要な中部におよび数十 を収慮する。本実施のではインバーク回路の出力基十 上部方向に周出版はされているが、VCテインが立び ースラインの第1および第2の総成(4)(5)は広路 (1)の一局強辺に原在されば前にまれたいませ 米るように設計されている。

[0028]

【発用の効果】以上に詳述した如く、本発用に依れば、 パワー半時体禁수 (スイッチング禁斗) が固着された一 の類故な医数上に直接欠張し、パワー半等体禁すが固着 されない他の類故を承抜設面と種間され、この解放上に固禁 直程する仲間に延度することにより、一の解放上に直接 された半導体減十と他の構成と登録就するワイヤは線の された半導体減十と他の構成と登録就するワイヤは線の はなな場面で接接することができる。その結果、ワイヤ 配線の低抗なよびインダンタンス成分を最小限にするこ とができスイッチングノイズによるメイッチング減千の 型場件のたい「哲性他の能力に設成集団回路を設件するこ とができる。

「のの29」また、4金明に依れば、パワー半時体数十が回着された顔板の一部分を折曲げて外部リード端右として兼用することにより、外部ジード路 (のみの半田的 着を不乗とすることにより、その結果、リード端 (のの)、中田房による總流損大を物割することができ、2巻を全体減できる。さらに、本名明に成れば、顔板の一部が中年に配置されるために始めて小型化のパブ、顔板の一部が中年に配置されるために始めて小型化のパブー用流成集積回路を提供することができる。

|図面の簡単な説明]

【図3】 インパーク回路図である。 【符号の説明】

